

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020020069562 A
(43)Date of publication of application: 05.09.2002

(21)Application number: 1020010009684
(22)Date of filing: 26.02.2001

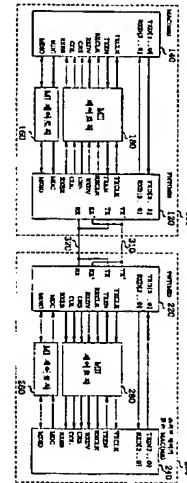
(71)Applicant: CLCSOFT CO.
(72)Inventor: CHOI, HYEON JIN
PARK, GYU HO

(51)Int. Cl. H04L 12 /28

(54) ETHERNET SYSTEM CAPABLE OF HIGH SPEED DATA COMMUNICATION THROUGH A PAIR OF SIGNAL LINES

(57) Abstract:

PURPOSE: An Ethernet system capable of high speed data communication through a pair of signal lines is provided to achieve high speed data communication using a pair of signal lines, without lowering the performance. CONSTITUTION: An Ethernet system comprises a LAN card(100) and a switching hub(200) that execute data communication through a pair of signal lines(310,320). The LAN card(100) is composed of a PHY(PHYSical Layer Interface)(120) and an MAC(Media Access Controller)(140). Also the LAN card(100) comprises an MI control logic(160) for communication using the signal lines(310,320). The switching hub(200) gathers Ethernet data frames from each LAN card(100) or an external router and distributes them to each LAN card(100) or the external router. The switching hub(200) is composed of a PHY(220) and a switch controller(240). In addition, the switching hub(200) comprises an MI control logic(260) for communication using the signal lines(310,320). In this case, the switch controller(240) contains a logic executing an identical function to the MAC(140) in the LAN card(100).



copyright KIPO 2003

Legal Status

Date of request for an examination (20010226)
Notification date of refusal decision (00000000)
Final disposal of an application (rejection)
Date of final disposal of an application (20030630)
Patent registration number ()
Date of registration (00000000)
Number of opposition against the grant of a patent ()
Date of opposition against the grant of a patent (00000000)
Number of trial against decision to refuse ()
Date of requesting trial against decision to refuse ()

(19) 대한민국특허청 (KR)
(12) 공개특허공보 (A)

(51) 。 Int. Cl. 7
H04L 12/28

(11) 공개번호 특2002 -0069562
(43) 공개일자 2002년09월05일

(21) 출원번호 10 -2001 -0009684
(22) 출원일자 2001년02월26일

(71) 출원인 주식회사 씨엘씨소프트
대전 유성구 구성동 한국과학기술원 3217

(72) 발명자 박규호
대전광역시유성구어은동99한빛아파트132 -202
최현진
경기도수원시장안구연무동237 -7

(74) 대리인 장성구

심사청구 : 있음

(54) 한 쌍의 신호선을 통한 고속 데이터 통신이 가능한 이더넷시스템

요약

본 발명은 한 쌍의 신호선을 통하여 랜 카드와 스위칭 허브간의 고속 데이터 전송이 가능하도록 한 이더넷 시스템에 관한 것으로, 본 발명은 상기 랜 카드 또는 상기 스위칭 허브 사이에서 이루어지는 NLP(Normal Link Pulse) 검사와 A N(Auto Negotiation)의 수행을 비활성화시키고, 그 대신에, 속도 및 듀플렉스 모드 등을 특정값으로 설정함으로써, 기존의 이더넷 환경에서 고려되지 않았던 한 쌍의 신호선을 통한 데이터 통신을 가능하게 한다. 또한, 본 발명의 환경에서 필연적으로 발생하는 데이터의 루프백과 데이터의 충돌을 효과적으로 방지함으로써, 기존의 이더넷 환경에 비해 거의 성능 저하가 나타나지 않는다.

그러므로, 본 발명은, 이더넷 환경하에서, 한 쌍의 신호선을 통한 데이터 통신을 가능하게 함으로써, 신호선의 절약 및 기존의 이더넷 환경의 장점을 그대로 이용할 수 있다.

대표도
도 3

명세서

도면의 간단한 설명

도 1은 전형적인 이더넷 시스템의 개략적인 구성도,

도 2는 본 발명의 제 1 실시예에 따른 이더넷 시스템의 블록 구성도,

도 3은 본 발명의 제 2 실시예에 따른 이더넷 시스템의 블록 구성도,

도 4는 본 발명의 제 3 실시예에 따른 이더넷 시스템의 블록 구성도,

도 5a 및 도 5b는 각기 관리 제어 레지스터와 모드 제어 레지스터의 구성을 도시하는 도면.

도 6a에서 도 6g는 각기 본 발명의 제어 로직에서 발생하는 제어 신호의 타이밍도.

< 도면의 주요부분에 대한 부호의 설명 >

100 : 랜 카드 200 : 스위칭 허브(MII & RMII)

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 고속의 데이터 통신을 위한 이더넷 장치에 관한 것으로, 보다 상세하게는 이더넷 환경하에서 4선식 혹은 8선식의 데이터 통신을 2선식의 데이터 통신으로 수행하는 방법 및 장치에 관한 것이다.

도 1은, IEEE 802.3 계열의 표준을 따르는 이더넷 환경하에서 구성된 전형적인 이더넷 시스템의 개략적인 구성을 도시한다. 도시된 바와 같이, PC 등에 장착되는 각각의 랜 카드(10)와 스위칭 허브(20)는 여덟 개의 선으로 이루어진 UTP(Unshielded Twisted Pair) 케이블(30)을 통해 연결된다. 여덟선의 케이블(30)중에서 네 개의 선(1, 2, 3, 6번)은 이더넷 데이터를 송신하거나 수신하기 위한 신호선으로 사용되며, 각기 한 쌍의 출력선(TX+, TX-)과 한 쌍의 입력선(RX+, RX-)으로 이루어져 있다. 나머지 네 개의 선은 입출력 신호선의 기준 전압 레벨로 사용된다.

데이터 통신을 위한 전처리 단계로서, 각각의 랜 카드(10)와 스위칭 허브(20)는 UTP 케이블(30)의 네 개의 신호선(1, 2, 3, 6번)을 통해 NLP(Normal Link Pulse)를 주고 받음으로써, 상대방 장치인 링크 파트너(link partner)가 연결되어 있는지, 연결되어 있다면 정상동작을 수행하는 지를 확인하는 링크 상태 점검을 수행한다. 이러한 링크 상태 점검 이후, 이더넷 시스템은 비로소 이더넷 데이터 프레임의 송수신 할 수 있도록 활성화된다. 또한, 랜 카드(10)와 스위칭 허브(20)는 각기 UTP 케이블(30)의 신호선을 통해 AN(Auto Negotiation)을 수행함으로써, 자신과 자신의 링크 파트너 간에 수행할 수 있는 최상의 데이터 송수신 속도(예로, 10 Mbps 또는 100Mbps)와 모드(하프 듀플렉스(half duplex) 모드 또는 풀 듀플렉스(full duplex) 모드) 등을 결정한다.

본 발명은, 여덟선의 UTP 케이블을 사용하는 기존의 이더넷 환경에서, 두개의 선만을 사용하여도, 성능의 저하없이 데이터 통신을 가능토록 하는, 환경의 구성 방법을 제시하는 것이며, 또한 이 목적을 위한 제어로직들을 제안하는 것이다.

본 발명은 하기에 설명되는, 전화선을 통한 고속데이터 통신 환경을 용이하게 구축하기 위해 이루어졌으며, 여러 다른 응용 애플리케이션에 사용될 수 있다.

이미 지어진 아파트나 호텔 등에 고속 데이터 통신을 위한 전용선을 설치하는 것은 비용이 많이 들 뿐만 아니라 용이하지 않기 때문에, 근래에는 고속 데이터 통신(수 Mbps)을 위해 전화선을 사용하는 접근이 이루어지고 있다. 현재 가정에서 전화선을 이용하여 수 Mbps 급의 고속의 데이터 통신을 위하여 널리 이용되고 있는 방법들은 ADSL 시스템과 네개의 신호선을 사용하는 기존의 이더넷 시스템이 있다. 고속 데이터 통신을 위한 환경을 구축하기 위하여, ADSL 시스템은 DSL 모뎀을 사용하고 있으며, 이더넷 시스템은 도 1에 예시된 바와 같은 랜 카드와 스위칭 허브를 사용하고 있다.

비록 DSL 모뎀이 기존의 모뎀의 속도(수십 Kbps)의 수십 배에 달하고 있지만, 이더넷 시스템에 비하여 훨씬 고가의 장비이므로, 비용면에서 전화선을 이용하여 고속 통신 환경을 구축하는 데는 단점으로 지적되고 있다.

현재, 상술한 이더넷 환경에 부응하여 각 가정에는 이더넷 장비를 이용한 10Mbps 속도의 데이터 통신을 위하여 두 회선(한 회선은 두 개의 선으로 구성됨)의 전화회선이 설비되고 있지만, 데이터 통신만을 위하여 두 개의 전화회선을 모두 사용하지 못하는 경우가 있다.

따라서, 각 가정에서 한 쌍의 신호선으로도 고속의 데이터 통신이 가능한 통신 환경을 제공하는 것이 필요하다.

발명이 이루고자 하는 기술적 과제

그러므로, 본 발명은 상술한 필요에 의해 안출된 것으로, 한쌍의 신호선만을 사용하여, 성능의 저하없이 고속의 데이터 통신이 가능하도록 하는 이더넷 시스템을 제공하는 것을 그 목적으로 한다.

상술한 목적을 달성하기 위한 본 발명에 따르면, 각기 링크 파트너로서 연결되어 있는 물리적 인터페이스(PHY : Physical Layer Interface)를 구비하는 랜 카드와 스위칭 허브간의 데이터 통신을 위한 이더넷 시스템이 제공되며,

상기 이더넷 시스템에서, 각각의 상기 랜 카드 및 스위칭 허브는: 각각의 상기 물리적 인터페이스의 두 쌍의 출력 라인(TX+, TX-) 및 입력 라인(RX+, RX-)이 각기 입출력 라인쌍(TX+, RX+) 및 (TX-, RX-)으로 묶여서 한쌍의 신호선(310, 320)에 연결되어 있으며; 상기 한 쌍의 신호선을 통한 데이터 통신이 가능하도록 하기 위하여, 상기 물리적 인터페이스에 대하여 링크 파트너와의 데이터 송수신 속도와 듀플렉스 모드 및 링크 모드를 특정 값으로 설정하는 제 1 제어 로직을 포함하는 것을 특징으로 한다.

본 발명의 다른 실시예에 따르면, 상기 이더넷 시스템은:

어느 하나의 물리적 인터페이스가 그의 링크 파트너로부터 이더넷 데이터 패킷을 수신하는 동안, 상기 링크 파트너로 전송할 이더넷 패킷이 전달되지 않도록 상기 이더넷 패킷의 전송을 지연시켜줌으로써, 한쌍의 신호선을 통한 데이터 송수신을 할 때 발생하는 데이터 충돌을 방지하는 기능과, 어느 하나의 물리적 인터페이스가 자신의 출력쌍의 신호선을 통하여 그의 링크 파트너에게 전송한 이더넷 패킷이 자신의 입력쌍의 신호선을 통하여 루프백되는 것을 방지하기 위한 기능을 수행하는 제 2 제어 로직을 더 포함하는 것을 특징으로 한다.

발명의 구성 및 작용

이하, 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예의 동작을 상세하게 설명한다.

도 2는 본 발명에 따라서 구성된 전체 이더넷 시스템의 블록 구성도 중에서, 일부를 도시한다. 이러한 구성을 통해서, 한 쌍의 신호선을 이용한 데이터 통신이 가능하게 된다.

본 발명의 이더넷 시스템은 한 쌍의 신호선(310, 320)을 통하여 데이터 통신을 수행하는 랜 카드(100)와 스위칭 허브(200)를 포함한다. 비록 본 발명의 도면과 상세한 설명에서는 간략한 도시와 설명을 위하여, 단지 하나의 랜 카드(100)만이 스위칭 허브(200)에 연결되어 있는 것으로 도시되고 설명되어 있지만, 실질적으로, 스위칭 허브(200)는 다수 개의 랜 카드(100)들을 수용할 수 있는 포트를 가지고 있음을 알아야 할 것이다.

랜 카드(100)는 가정 또는 빌딩내 사무실 등과 같은 지역내의 컴퓨터 내에 장착되어 있는 내장형 랜 카드로서, PHY(Physical Layer Interface) (120)와 MAC(Media Access Controller) (140)으로 구성되며, 본 발명에 따라 한 쌍의 선을 이용한 통신을 위해 MI 제어 로직(160)을 더 포함한다.

스위칭 허브(200)는 각각의 랜 카드(100) 또는 외부의 라우터(도시안됨)로부터의 이더넷 데이터 프레임이 모이고, 이를 각각의 랜 카드(100)로 분배하거나 또는 외부의 라우터로 전송하는 기능을 수행하며, PHY(Physical Layer Interface) (220)와 스위치 제어기(Switch Controller) (240)로 구성되며, 본 발명에 따라 한 쌍의 선을 이용한 통신을 위해 MI 제어 로직(260)을 더 포함한다. 여기서, 스위칭 허브(200)내 스위치 제어기(240)는 랜 카드(100)내 MAC(140)와 실질적으로 동일한 기능을 수행하는 로직을 포함하고 있으며, MII 인터페이스나 RMII 인터페이스(RMII를 사용하는 인터페이스에 스위칭 허브에 대해서는 제 3 실시예에서 설명함)를 사용한다.

또한, 랜 카드(100)와 스위칭 허브(200)의 두 쌍의 출력 라인(TX+, TX-) 및 입력 라인(RX+, RX-)은 각기 한 쌍씩의 입출력 라인쌍(TX+, RX+) 및 (TX-, RX-)으로 묶여서 한쌍의 데이터라인의 각각의 신호선(310, 320)에 연결되어 있다.

각각의 랜 카드(100)와 스위칭 허브(200) 내부에 위치하는, 각각의 PHY(120, 220)는 링크 파트너 간의, 즉 스위칭 허브(200)와 랜 카드(100) 간의 물리적 계층 인터페이스를 형성하며, 도 5에 도시된 바와 같이, 내부적으로 각기 IEEE 802.3 표준을 따르는 기본 레지스터들(Base Registers, 0~8) (510)과 추가 레지스터들(Additional Registers) (520)을 가지고 있다.

기본 레지스터들(510) 중에는 링크 파트너 사이에서의 AN 수행여부를 결정하는 AN 활성화 설정 영역(512), 이더넷 데이터 프레임을 송수신할 때의 특정 속도와 모드를 설정하는 속도 선택 영역(514) 및, 듀플렉스 모드 설정 영역(516) 등을 가지고 있다. 초기에 이들 영역(512, 514, 516)은 디폴트 값 또는 각기 대응하는 MAC(140) 또는 스위치 제어기(240)에 의해 설정되는 값으로 세팅된다.

한편, 추가 레지스터들(520) 중에는 링크 파트너 사이에서 NLP 신호를 검사할 것인지 아닌지를 결정하는 링크 통과 설정 영역(522)을 가지고 있다. 초기에 링크 모드 설정 영역(522)은 디폴트 값 또는 각기 대응하는 MAC(140) 또는 스위치 제어기(240)에 의해 설정되는 값으로 세팅된다.

본 발명에 있어서, 랜 카드(100)와 스위칭 허브(200)는 한 쌍의 신호선(310, 320)으로 연결되기 때문에, MI 제어 로직(160, 260)이 없을 경우에는 하기 설명되는 바와 같이, 이들 사이에서 원활한 데이터 통신이 이루어지지 않게 된다. MI 제어 로직(160, 260)은 각기 MAC(140)과 PHY(120) 사이에, 그리고, PHY(220)와 스위치 제어기(240) 사이에 위치하며, PHY 내부의 일련의 레지스터 셋팅작업을 수행한다. 이를 통해 랜 카드(100)와 스위칭 허브(200)는 한 쌍의 신호선(310, 320)을 통하여 이더넷 데이터를 송수신할 수 있게 된다.

본 발명에 따른 MI 제어 로직(160, 260)의 동작은 하기와 같이 설명된다. 이와 관련하여, 랜 카드(100)와 스위칭 허브(200)의 구성은 실질적으로 동일하므로, 간략한 설명을 위하여 이들 중 어느 하나, 예를 들면, 랜 카드(100)의 MI 제어 로직(160)에 대하여만 설명하기로 한다.

랜 카드(100)의 구성요소인 PHY(120)는, 종래 기술부분에서 설명한 바와 같이, 링크 파트너가 연결되어 있는지, 그리고 정상동작을 수행하는지를 검사하기 위해, 링크 파트너(200)의 PHY(220)와 NLP 신호를 주고 받는다.

그러나, 본 발명에서와 같이 랜 카드(100)의 입력(RX) 및 출력(TX)이 하나의 신호선(310, 320)으로 묶여 있으므로, PHY(120)는 자신이 보내는 NLP 신호와 링크 파트너인 스위칭 허브(200)의 PHY(220)가 보내는 NLP 신호를 둘 다 받게 되어, 정확히 NLP를 체크하는 것이 불가능하다.

따라서, 본 발명의 MI 제어 로직(160)은 도 6a에 도시된 바와 같이 PHY(120)의 MDC(Management Data Clock)와 MDIO(I/O Management Data Input/Output) 단자를 통해 PHY(120)내부에 있는 링크 모드 설정 영역(522)을 "링크 통과"로 세팅하여 주는 신호를 제공한다. 그 결과, PHY(120)는 링크 파트너(220)로부터 오는 NLP 신호를 검사하지 않고, 항상 링크 파트너가 연결되어 정상동작하고 있다고 판단한다. 따라서, 링크 파트너의 연결 및 정상 동작 여부에 관계없이 항상 링크가 활성화되어 있다고 제어하는 것이 가능하다.

또한, 상기 설명한 바와 같이 본 발명에서는, 랜 카드(100)의 입출력 단자(RX, TX)가 하나의 신호선(310, 320)으로 연결되어 있으므로, PHY(120)는 자신이 보내는 AN 신호와 링크 파트너인 스위칭 허브(200)의 PHY(220)가 보내는 AN 신호를 둘 다 받게 되어, AN을 통해서 링크 파트너 간의 (최상의) 속도와 모드 등을 결정한다는 것은 적절하지 않다.

더불어, PHY(120, 220)의 듀플렉스 모드는 하프 듀플렉스 모드는 사용할 수 없고, 반드시 풀 듀플렉스로 셋팅되어야 한다. 왜냐하면, 풀 듀플렉스는 송신과 수신에 동시에 이루어질 수 있는 모드인 반면, 하프 듀플렉스 모드는 송신할 때는 수신을 하지 못하며, 수신할 때는 송신을 하지 못하는 모드이기 때문이다. 만약 PHY(120, 220)가 하프 듀플렉스 모드로 셋팅되어 있다면, PHY는 자신이 송신하는 데이터를 입력(RX)을 통해 되받기 때문에, 항상 데이터 충돌이 발생했다고 인식할 것이다.

따라서, 본 발명에 따른 MI 제어 로직(160)은, 도 6b에 도시된 바와 같이, MDC 및 MDIO 신호를 통해, PHY(120)내 기본 레지스터들(510) 중에서, AN 활성화 설정영역(512)은 "AN 비활성화"로, 속도 선택 설정 영역(514)은 "10Mbps 또는 100Mbps"로 설정하고, 듀플렉스 설정 영역(516)은 "풀 듀플렉스 모드"로 설정한다. 이후, PHY(120)의 기본 레지스터들(510)에 설정된 속도와 모드 상태는 MDC 및 MDIO 신호를 통하여 MAC(140)로 전달된다.(도 6c 참조)

따라서, MAC(140)과 PHY(120) 사이에 MI 제어 로직(160)을 제공함으로써, 일련의 원하는 레지스터 셋팅을 해 줄 수 있고, PHY(120)의 입력과 출력을 묶어줌으로써, 한쌍의 신호선을 이용한 데이터 통신을 가능하게 한다.

하기 표 1은 10Mbps와 풀 듀플렉스 모드로 설정된 상태에서, FTP(파일 전송 프로토콜)을 통하여 160MByte 데이터를 송신할 때, 종래기술에서와 같이 두쌍의 신호선을 사용했을 때의 성능과, 본 발명에서의 제 1 실시예와 같이 한 쌍의 신호선을 사용했을 때의 성능을 예시한다.

[표 1]

FTP 전송 크기 : 160MBytes 링크 통과(Link Pass), AN 비활성화, 10Mbps, 풀 듀플렉스			
MI 제어 로직만을 가지는 한쌍의 신호선		두쌍의 신호선	
수행시간	처리량	수행시간	처리량
41.8 초	3.21Mbps	14.2 초	9.45Mbps

표 1에서 알 수 있는 바와 같이, 본 발명이 제시하는 MI 제어 로직만이 추가된 이더넷 시스템에서의, 한쌍의 신호선을 사용한 데이터 통신은, 종래 두쌍의 신호선을 사용하는 경우보다 속도와 처리량에서 3배 가량 적게 된다. 다시 말해, MI 제어 로직을 통해 링크 통과(Link Pass), AN 비활성화, 10Mbps 및 풀 듀플렉스 등, 일련의 레지스터를 셋팅만 했을 경우, 한 쌍의 신호선을 통한 데이터 통신은 성능의 저하를 유발한다. 이와 같이, 성능이 나빠지는 이유는 송신하는 데이터와 수신하는 데이터가 같은 시간대에 발생했을 때, 한 쌍의 신호선에서 이들 데이터들이 서로 충돌하여, 패킷 손실이 많아지기 때문이다.

도 3은 본 발명의 제 1 실시예에서 한 쌍의 신호선을 사용할 때의 수행시간을 단축할 수 있도록 데이터 충돌 방지 메커니즘이 구성된 제 2 실시예를 도시한다.

본 발명의 데이터 충돌 방지 메커니즘을 갖는 제 2 실시예는 도 2에 예시된 제 1 실시예에서 MII 제어 로직(180, 280)이 추가된 것을 제외하고는 실질적으로 동일하므로, 이를 제외한 나머지 구성요소와 그와 관련한 동작에 관한 상세한 설명은 생략한다.

MII 제어 로직(180, 280)은 각기 랜 카드(100) 및 스위칭 허브(200)의 PHY(120, 220)와 MAC(140) 또는 스위칭 제어기(240)의 사이에 배치되어 한 쌍의 신호선(310, 320)을 통한 데이터의 충돌을 방지하는 기능을 수행한다.

본 발명에 따른 MII 제어 로직(180, 280)의 동작은 하기와 같이 설명된다. 이와 관련하여, 랜 카드(100)와 스위칭 허브(200)의 구성은 실질적으로 동일하므로, 간략한 설명을 위하여 이들 중 어느 하나, 예를 들면, 랜 카드(100)의 MI I 제어 로직(180)에 대하여만 설명하기로 한다.

본 발명에 있어서, 현재 각각의 PHY(120 및 220)는 풀 듀플렉스 모드로 설정되어 있기 때문에, 각각의 링크 파트너로부터 데이터를 수신하는 중에도 데이터의 송신이 가능하다. 따라서 각각의 PHY(120 및 220)에서는 링크 파트너로부터 데이터를 수신하는 중이라도, 링크 파트너로 전송할 데이터가 존재하면 송신 동작을 수행하게 된다. 기존의 두쌍의 선을 사용하는 경우는 입력과 출력이 분리되어 있기 때문에, 아무 문제가 발생하지 않는다. 하지만, 한쌍의 선을 사용하는 경우는 수신 데이터와 송신 데이터가 서로 충돌하게 되고, 이들 데이터들은 변형되고, 결국은 재전송이 불가피하게 된다.

또한, 랜 카드(100)나 스위칭 허브(200) 각각은 한 쌍의 신호선(310, 320)을 통해 입력과 출력이 하나로 연결되어 있기 때문에, 데이터 송신시에 자신이 보낸 데이터를 자신이 도로 받게 되는 루프백 현상을 겪게 된다. 이로 인해 랜 카드(100)나 스위칭 허브(200)는 자신이 링크파트너를 향해 보낸 데이터를, 링크파트너로부터 오는 데이터로 오인하게 된다.

먼저, 서로 링크 파트너인 각각의 PHY(120) 및 (220)간의 데이터 송수신으로 인한 데이터 충돌을 방지하기 위하여, 본 발명의 MII 제어 로직(180)은 PHY(120)에서 MAC(140)으로 데이터가 수신되는 동안에는, MAC(140)에서 새로이 보낸 이더넷 패킷이 발생하더라도 PHY(120)로의 데이터 송신을 지연하는 기능을 수행한다. 이것은, MAC(140)이 PHY(120)가 보내오는 송신 클럭인 TXCLK에 동기하여 PHY(120)로 패킷 데이터를 송신하는 특성을 이용한 것이다. MII 제어 로직은 패킷의 수신시에, 그것이 끝날때까지 MAC(140)로의 TXCLK를 로직 '0'의 상태로 머물게 함으로써 송신지연을 수행한다(도 6d 참조).

두 번째로, 이더넷 데이터의 루프백을 방지하기 위하여, MII 제어 로직(180)은 데이터의 송신시에, PHY(120)의 입력(RX)을 통해 루프백되는 데이터를 제거한다. 이것은 PHY(120)에서 MAC(140)으로의 데이터 수신시 RXDV 신호가 로직 '1'로 유지되는 특성을 이용하는 것이다. MII 제어 로직(180)은 데이터의 송신시에, 그로 인한 루프백을 알리는 로직 '1'의 RXDV 신호를 로직 '0'으로 변환하여 MAC(140)의 RXDV 단자로 제공함으로써, MAC(140)이 루프백되는 데이터를 받아들이지 않도록 할 수 있다(도 6e 참조).

하기 표 2는 10Mbps와 풀 듀플렉스 모드로 설정된 상태에서, FTP(화일 전송 프로토콜)을 통하여 160MByte 데이터를 송신할 때, 종래기술에서와 같이 두쌍의 신호선을 사용했을 때의 성능과, 본 발명에서의 제 2 실시예와 같이 한 쌍의 신호선을 사용했을 때의 성능을 예시한다.

[표 2]

FTP 전송 크기 : 160MBytes 링크 통과(Link Pass), AN 비활성화, 10Mbps, 풀 듀플렉스			
MI와 MII 제어 로직 모두를 가지는 한쌍의 신호선		두쌍의 신호선	
수행시간	처리량	수행시간	처리량
14.3 초	9.39Mbps	14.2 초	9.45Mbps

표 2에서 알 수 있는 바와 같이, 본 발명이 제시하는 MI와 MII 제어 로직 모두를 가지는 이더넷 시스템에서의, 한쌍의 신호선을 사용한 데이터 통신은, 종래 두쌍의 신호선을 사용하는 경우와 거의 비슷한 성능을 보인다.

도 4는 본 발명에 따른 제 3 실시예의 블록 구성도로서, 도 2 및 도 3에서와 같은 이더넷 시스템이 MII를 지원하는 것과 달리 RMII(Reduced Pin Count MII)를 지원하는 시스템으로 구성된 것을 제외하고는 제 2 실시예와 실질적으로 동일하다. 따라서, 이하의 설명에서는 이더넷 장치중의 어느 하나, 예로 스위칭 허브(200)가 RMII를 지원하는 것으로 예시되고 설명될 것이다.

RMII는 이더넷 스위치에 관한 산업 표준 인터페이스로서, 기능적으로는 IEEE 802.3u MII와 동일하지만, 스위칭 허브의 물리적 계층 포트의 수를 늘리기 위하여 MII보다 더 적은 수의 신호들을 사용한다. RMII의 경우, TXCLK와 RXCLK 신호가 포트별로 따로 존재하지 않고, 레퍼런스 클럭(REFCLK) 신호만이 존재할 뿐이다. 따라서, 데이터 수신시의 송신 지연은 도 3에서 언급된 바와 같이, TXCLK를 로직 '0'으로 유지하는 방법을 사용할 수 없기 때문에 다른 방법을 사용하여야 한다.

먼저, RMI 제어 로직(2600)은 제 1 및 제 2 실시예에서와 같이 MDC와 MDIO를 이용하여 PHY(220)내 추가 레지스터(520)를 링크 통과 모드로 설정하고, PHY(220)내 기본 레지스터(510)의 영역(512, 514, 516)을 각기 AN 비활성화 모드, 10Mbps 또는 100Mbps, 풀듀플렉스 모드로 설정한다.

한편, 스위치 제어기(240)는 PHY(220)에 AN을 수행하도록 명령을 내리고, PHY(120)로부터 AN을 통해 설정된 모드 및 속도를 읽어 들여, 자신도 그 모드와 속도로 셋팅하는 동작을 수행한다. 이 때, RMI 제어 로직(2600)은 이 경로의 중간에 위치하여, PHY(220)내 기본 레지스터(510)의 영역(512, 514, 516)을 상기 설명한 것처럼, AN 비활성화 모드, 10Mbps 또는 100Mbps, 풀듀플렉스 모드로 설정하고, 스위치 제어기(240)로는 PHY(220)가 특정속도 및 하프 듀플렉스 모드로 설정됐다고 응답한다(도 6f 참조). RMI 제어 로직(2600)의 이러한 모드 설정 작업에 의해, 스위치 제어기(240)는 하프 듀플렉스 모드로 설정되기 때문에, PHY(220)를 통한 데이터 수신시, 스위치 제어기(240)는 자체적으로 송신할 데이터에 대해, 송신 지연을 수행하여 데이터의 충돌을 방지할 수 있다.

한편, RMII 제어 로직(2800)은 스위치 제어기(240)가 PHY(220)로 데이터를 송신할 때, PHY(220)로부터 수신되는 데이터가 있음을 알리는 로직 '1'의 CRS DV 신호를 로직 '0'으로 변환하여 스위치 제어기(240)의 CRS DV 단자로 제공함으로써, PHY(220)의 입력(RX)을 통해 루프백되는 데이터를 제거할 수 있다(도 6g 참조).

제 3 실시예에서 다루고 있는 RMII는 MII의 부분집합이라고 할 수가 있다. 따라서, 제 1 및 2 실시예에서 다루고 있는 MII를 사용하는 경우에도 RMII를 사용하는 경우의 방법을 그대로 사용할 수가 있다. 즉, PHY(120 및 220)를 풀 듀플렉스 모드로 설정하고, MAC(140)과 스위치 제어기(240)를 하프 듀플렉스 모드로 설정함으로써, 자체적으로 데이터 수신시의 송신 지연 효과를 나타낼 수 있다.

발명의 효과

이상에서 설명한 바와 같이, 한 쌍의 신호선을 통해 이더넷 환경에서 성능의 저하없이 데이터 통신을 가능하게 함으로써, 신호선의 절약 및 기존의 이더넷 환경의 장점을 그대로 이용할 수 있다.

(57) 청구의 범위

청구항 1.

각기 링크 파트너로서 연결되어 있는 물리적 인터페이스(PHY : Physical Layer Interface)를 구비하는 랜 카드와 스위칭 허브간의 데이터 통신을 위한 이더넷 시스템에 있어서,

각각의 상기 랜 카드 및 스위칭 허브는:

각각의 상기 물리적 인터페이스의 두 쌍의 출력 라인(TX+, TX-) 및 입력 라인(RX+, RX-)이 각기 입출력 라인쌍(TX+, RX+) 및 (TX-, RX-)으로 묶여서 한쌍의 신호선(310, 320)에 연결되어 있으며;

상기 한 쌍의 신호선을 통한 데이터 통신이 가능하도록 하기 위하여, 상기 물리적 인터페이스에 대하여 링크 파트너와의 데이터 송수신 속도와 듀플렉스 모드 및 링크 모드를 특정 값으로 설정하는 제 1 제어 로직을 포함하는 것을 특징으로 하는 한쌍의 신호선을 통한 통신이 가능한 이더넷 시스템.

청구항 2.

제 1 항에 있어서,

각각의 상기 물리적 인터페이스는 상기 제 1 제어 로직에 의해 상기 특정 값이 설정되는 기본 레지스터들(Basic Registers)과 추가 레지스터들(Additional Registers)을 가지고 있으며;

상기 기본 레지스터들에는 상기 특정 값으로서 AN 활성화 여부, 데이터 송수신 속도 및 듀플렉스 모드가 설정되며;

상기 추가 레지스터들에는 상기 특정 값으로서 특정 링크 통과 여부가 설정되는 것을 특징으로 하는 한쌍의 신호선을 통한 통신이 가능한 이더넷 시스템.

청구항 3.

제 2 항에 있어서, 상기 기본 레지스터들에 설정되는 상기 특정 값으로서 상기 AN 활성화 여부, 상기 데이터 송수신 속도 및 상기 듀플렉스 모드는 각기 AN 비활성화, 10Mbps 또는 100Mbps, 및 풀 듀플렉스 모드이며;

상기 추가 레지스터들에 설정되는 상기 특정 값으로서 상기 링크 통과 여부는 링크 통과인 것을 특징으로 하는 한쌍의 신호선을 통한 통신이 가능한 이더넷 시스템.

청구항 4.

제 1 항에 있어서, 상기 랜 카드와 상기 스위칭 허브는 각기 MAC(Media Access Controller)와 스위치 제어기를 각기 더 구비하며, 상기 제 1 제어 로직은 상기 물리적 인터페이스에 설정된 특정 값과 동일한 값을 각기 대응하는 상기 MAC와 상기 스위치 제어기에 설정하는 것을 특징으로 하는 한쌍의 신호선을 통한 통신이 가능한 이더넷 시스템.

청구항 5.

제 1 항에 있어서, 상기 이더넷 시스템은:

각각의 링크 파트너인 상기 물리적 인터페이스 간에, 한쌍의 신호선을 통한 데이터 송수신을 할 때 발생하는 데이터 충돌을 방지하기 위한 제 2 제어 로직을 더 포함하며;

상기 제 2 제어 로직은 어느 하나의 물리적 인터페이스가 그의 링크 파트너로부터 이더넷 데이터 패킷을 수신하는 동안, 상기 링크 파트너로 전송할 이더넷 패킷이 전달되지 않도록 상기 이더넷 패킷의 전송을 지연시켜주는 것을 특징으로 하는 한쌍의 신호선을 통한 통신이 가능한 이더넷 시스템.

청구항 6.

제 4 항에 있어서, 상기 이더넷 시스템은:

각각의 링크 파트너인 상기 물리적 인터페이스 간에, 한쌍의 신호선을 통한 데이터 송수신을 할 때, 어느 하나의 물리적 인터페이스가 자신의 출력쌍의 신호선을 통하여 그의 링크 파트너에게 전송한 이더넷 패킷이 자신의 입력쌍의 신호선을 통하여 루프백되는 것을 방지하기 위한 제 2 제어 로직을 더 포함하며;

상기 제 2 제어 로직은 상기 루프백된 이더넷 패킷이 상기 MAC(Media Access Controller)나 스위치 제어기에 전달되지 않도록 하는 것을 특징으로 하는 한쌍의 신호선을 통한 통신이 가능한 이더넷 시스템.

청구항 7.

제 1 항 내지 제 6 항중의 어느 한 항에 있어서, 상기 이더넷 시스템은 MII(Media Independent Interface)를 지원하는 것을 특징으로 하는 한쌍의 신호선을 통한 통신이 가능한 이더넷 시스템.

청구항 8.

제 3 항에 있어서, 상기 랜 카드와 상기 스위칭 허브는 각기 MAC(Media Access Controller)와 스위치 제어기를 각기 더 구비하며, 상기 제 1 제어 로직은 상기 물리적 인터페이스의 모드 제어 레지스터 및 관리 제어 레지스터에 설정된 링크 모드 및 속도 모드와 동일한 모드를 각기 대응하는 상기 MAC와 상기 스위치 제어기에 제공하고, 상기 MAC와 상기 스위치 제어기의 듀플렉스 모드를 하프 듀플렉스 모드로 설정하는 것을 특징으로 하는 한쌍의 신호선을 통한 통신이 가능한 이더넷 시스템.

청구항 9.

제 8 항에 있어서, 상기 이더넷 시스템은:

각각의 링크 파트너인 상기 물리적 인터페이스 간에, 한쌍의 신호선을 통한 데이터 송수신을 할 때 발생하는 데이터 충돌을 방지하기 위한 제 2 제어 로직을 더 포함하며;

상기 제 2 제어 로직은 어느 하나의 물리적 인터페이스가 그의 링크 파트너로부터 이더넷 데이터 패킷을 수신하는 동안, 상기 링크 파트너로 전송할 이더넷 패킷이 전달되지 않도록 상기 이더넷 패킷의 전송을 지연시켜주는 것을 특징으로 하는 한쌍의 신호선을 통한 통신이 가능한 이더넷 시스템.

청구항 10.

제 8 항에 있어서, 상기 이더넷 시스템은:

각각의 링크 파트너인 상기 물리적 인터페이스 간에, 한쌍의 신호선을 통한 데이터 송수신을 할 때, 어느 하나의 물리적 인터페이스가 자신의 출력쌍의 신호선을 통하여 그의 링크 파트너에게 전송한 이더넷 패킷이 자신의 입력쌍의 신호선을 통하여 루프백되는 것을 방지하기 위한 제 2 제어 로직을 더 포함하며;

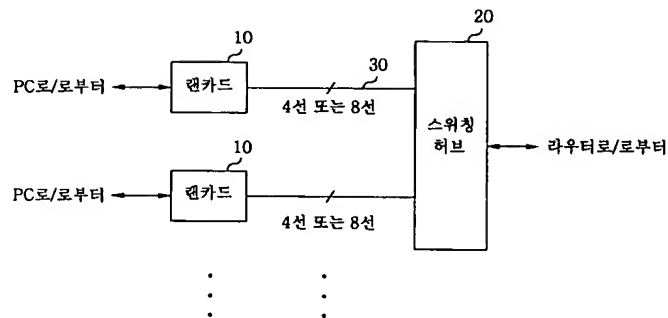
상기 제 2 제어 로직은 상기 루프백된 이더넷 패킷이 상기 MAC(Media Access Controller)이나 스위치 제어기에 전달되지 않도록 하는 것을 특징으로 하는 한쌍의 신호선을 통한 통신이 가능한 이더넷 시스템.

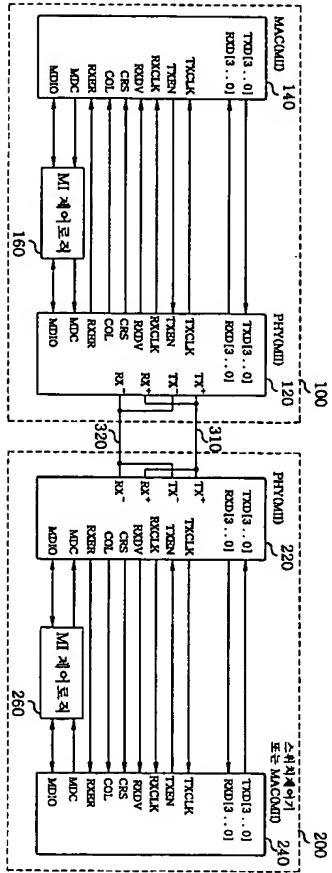
청구항 11.

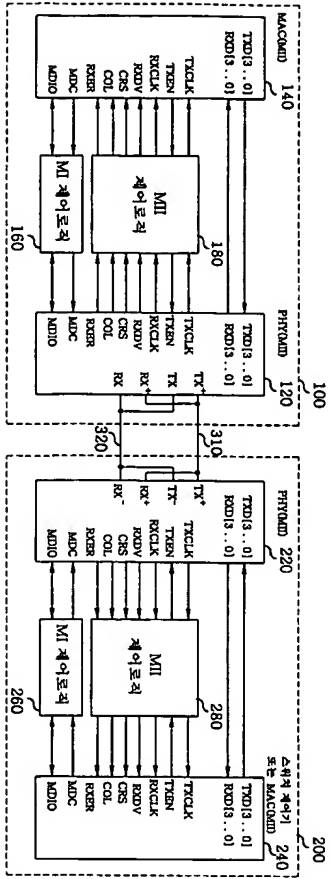
제 1 항, 제 2 항, 제 3 항, 제 7 항, 제 8 항, 제 9 항 또는 제 10 항에 있어서, 상기 이더넷 시스템은 RMII(Reduced Pin Count Media Independent Interface)를 지원하는 것을 특징으로 하는 한쌍의 신호선을 통한 통신이 가능한 이더넷 시스템.

도면

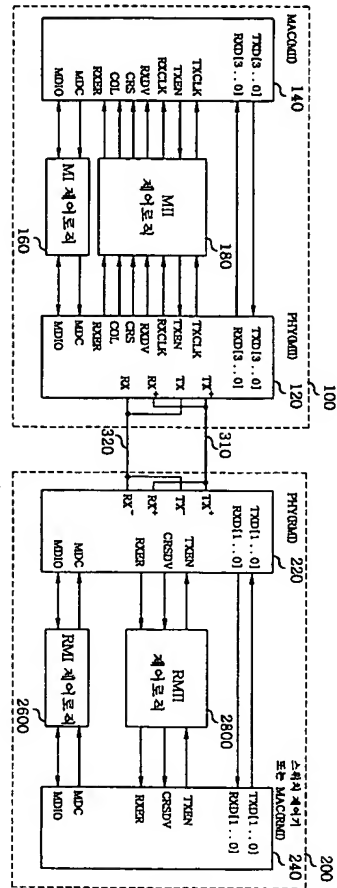
도면 1



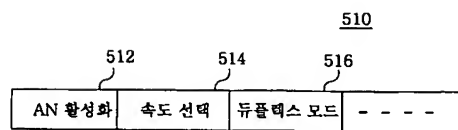




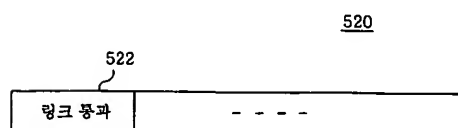
도면 4



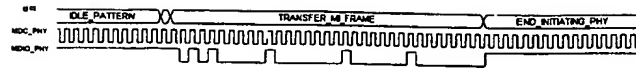
도면 5a



도면 5b



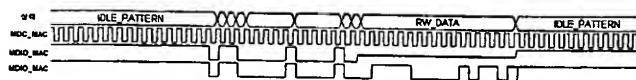
도면 6a



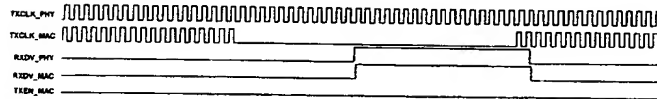
도면 6b



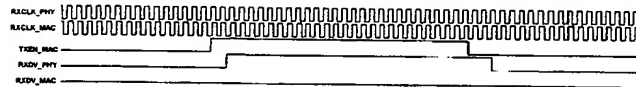
도면 6c



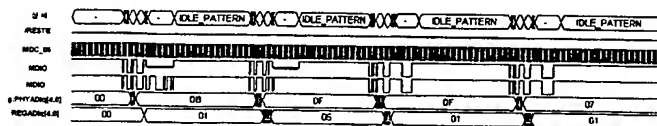
도면 6d



도면 6e



도면 6f



도면 6g

